

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-79729

(P2004-79729A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int.Cl.<sup>7</sup>

H01L 29/78

F1

H01L 29/78 301G

テーマコード (参考)

5F140

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2002-236962 (P2002-236962)  
 (22) 出願日 平成14年8月15日(2002.8.15)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区丸の内二丁目4番1号  
 (74) 代理人 100064746  
 弁理士 深見 久郎  
 (74) 代理人 100085132  
 弁理士 森田 俊雄  
 (74) 代理人 100083703  
 弁理士 仲村 義平  
 (74) 代理人 100096781  
 弁理士 堀井 豊  
 (74) 代理人 100098316  
 弁理士 野田 久登  
 (74) 代理人 100109162  
 弁理士 酒井 将行

最終頁に続く

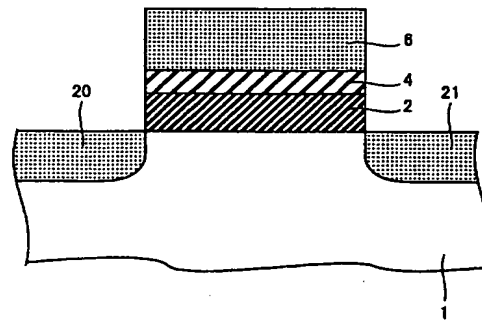
(54) 【発明の名称】 半導体装置

## (57) 【要約】

【課題】 ゲート電極からのボロンの染出し耐性を維持したままゲート絶縁膜の薄膜化に対応することができる半導体装置を提供する。

【解決手段】 半導体装置は、ソース領域20とドレイン領域21とを主表面に含むn型半導体基板1と、n型半導体基板1の主表面のうち、ソース領域20とドレイン領域21とに挟まれた領域の上側を覆うように、高誘電率材料を含んで形成された高誘電率絶縁膜2と、高誘電率絶縁膜2の上方に形成されたボロンドープトゲート電極6と、高誘電率絶縁膜2とボロンドープトゲート電極6との間に介在するように形成された高誘電率窒化層4とを備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ソース領域とドレイン領域とを主表面に含む半導体基板と、  
前記半導体基板の主表面のうち、前記ソース領域と前記ドレイン領域とに挟まれた領域の上側を覆うように、高誘電率材料を含んで形成されたゲート絶縁膜と、  
前記ゲート絶縁膜の上方に形成されたゲート電極と、  
前記ゲート絶縁膜と前記ゲート電極との間に介在するように形成された窒化層とを備える半導体装置。

## 【請求項 2】

前記窒化層は、前記高誘電率材料の窒化物を含む、請求項 1 に記載の半導体装置。

10

## 【請求項 3】

前記窒化層は、ポリシリコンまたはアモルファスシリコンの窒化物を含む、請求項 1 に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体装置に関するものであり、特にゲート電極中にドーピングされるボロンがゲート絶縁膜に拡散することを抑制する技術に関するものである。

## 【0002】

## 【従来の技術】

20

半導体デバイスのうち、半導体基板の上に酸化膜の絶縁体と金属とを形成した構成を MOS (Metal Oxide Semiconductor) 型といい、電界効果を利用したトランジスタを FET (Field Effect Transistor) という。これらの構成と電界効果を利用したトランジスタを MOSFET といい、非常に多くの装置に採用されている。

## 【0003】

MOSFET は半導体基板の主表面にゲート絶縁膜とゲート電極とが積層され、半導体基板の主表面には、電子の供給源であるソース領域と電子の排出口であるドレイン領域とを含む。p チャンネル MOSFET は、半導体基板が n 型半導体であり、ソース領域およびドレイン領域とはともに p 型半導体である。n チャンネル MOSFET は逆に半導体基板が p 型半導体であり、ソース領域とドレイン領域とはともに n 型半導体である。

30

## 【0004】

ゲート絶縁膜には、形成のし易さと優れた絶縁性から、シリコン基板を酸化したシリコン酸化膜が常用される。ゲート電極には、耐熱性の観点からアルミニウムのような金属を用いずにポリシリコン膜が常用される。しかし、ポリシリコンのみでは電気抵抗が大きいことから不純物がドーピングされる。p チャンネル MOSFET においては、不純物としてボロンが常用されている。ゲート電極へのボロンのドーピングは、高温においてゲート電極中にボロンを熱拡散させる方法や、イオン化した不純物を加速器で加速して対象物に打ち込むイオン注入法によって行なわれる。最近では、制御性の良さからイオン注入法が好まれている。これらのイオン注入法などによってドーピングされたボロンは、電氣的に活性でなく Si の結晶もイオンの衝突によって乱れたままの状態になっている。このため、高温の不活性ガス中に配置することによって、Si の結晶構造の乱れを修復して、ボロンを電氣的に活性にするためのアニールを行なう。

40

## 【0005】

このアニールの工程において、雰囲気温度が高温であるためにドーピングを行なったゲート電極中のボロンが熱拡散してゲート絶縁膜に染み出すことがあった。その結果、しきい値電圧が変動したり、電流駆動能力が低下するなどの問題が生じていた。この問題を解決する方法として、ボロンのドーピングの前にゲート電極に窒素イオンを注入して、ゲート絶縁膜に接触する側のゲート電極の端面に窒化膜を形成する技術があった。しかし、予めゲート電極内部に窒素を注入することによって、後のボロンドーピングの際にゲート電極

50

中のボロンの拡散が妨げられ、ゲート電極中に高抵抗となる部分が残ることがあった。そこで、特開平11-233758号公報に開示されているように、ゲート絶縁膜の上面にシリコン窒化膜を形成する方法がある。

#### 【0006】

##### 【発明が解決しようとする課題】

一般的なpチャンネルMOSFETの断面図を図11に示す。n型半導体基板1の上面にはソース領域20とドレイン領域21が離れて形成されている。少なくとも2つの領域に挟まれる区間を覆うように、ゲート絶縁膜であるシリコン絶縁膜7がn型半導体基板1の主表面に形成されている。シリコン絶縁膜7はシリコン基板を酸化することによって形成された酸化膜である。ボロンドープトゲート電極6は、シリコン絶縁膜7の上方に形成され、ポリシリコン層にボロンをドーピングしたものが用いられている。ボロンドープトゲート電極6とシリコン絶縁膜7との間には、ボロンドープトゲート電極6に用いられているボロンがn型半導体基板1側に拡散することを防止するために、膜中に窒素を含有しているシリコン窒化層8が形成されている。シリコン窒化層8は、先に形成されたシリコン絶縁膜7の上部を窒化することによって形成されている。

10

#### 【0007】

一方で、近年のデバイスの高集積化に伴って、トランジスタの駆動能力を向上させることが必要となってきた。ゲート絶縁膜としてシリコン酸化膜を用いる場合は、シリコン酸化膜を薄膜化することで対応している。薄膜化されることによって、ボロンの染出し耐性も悪化する。換言すると物理的膜厚が薄くなるので、許容される染み出すボロンの絶対量も小さくなる。

20

#### 【0008】

シリコン酸化膜の薄膜化の一方で、薄膜化にも限界があり、シリコン酸化膜に代わるゲート絶縁膜として、高誘電率材料をゲート絶縁膜に用いる方法が研究されている。この明細書においては、比誘電率が3.9より大きいことを「高誘電率」といい、その材料を「高誘電率材料」という。高誘電率材料を用いたゲート絶縁膜に関しても、その物理的な膜厚はシリコン酸化膜と比べて厚くなるものの、上記の場合と同様に、ゲート電極にドーピングされるボロンが染み出す問題があった。

#### 【0009】

本発明の目的は、上記の問題点を解決するためになされたものであり、ボロンの染出し耐性を維持したままゲート絶縁膜の薄膜化にも対応できる半導体装置を提供することを目的とする。

30

#### 【0010】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明に基づく半導体装置は、ソース領域とドレイン領域とを主表面に含む半導体基板と、上記半導体基板の主表面のうち、上記ソース領域と上記ドレイン領域とに挟まれた領域の上側を覆うように、高誘電率材料を含んで形成されたゲート絶縁膜と、上記ゲート絶縁膜の上方に形成されたゲート電極と、上記ゲート絶縁膜と上記ゲート電極との間に介在するように形成された窒化層とを備える。この構成を採用することにより、上記ゲート電極にドーピングされたボロンが上記ゲート絶縁膜に染み出すことを上記窒化層で抑制することができて、ボロンの染出しに起因するしきい電圧値変動を抑制することができる。また、上記ゲート絶縁膜に上記高誘電率材料を採用するので、上記ゲート絶縁膜の薄膜化に対応することができる。

40

#### 【0011】

上記発明において好ましくは、上記窒化層は、上記高誘電率材料の窒化物を含む。この構成を採用することにより、上記高誘電率材料の上記ゲート絶縁膜に窒化处理を行なうことで上記窒化層を形成することができて、新たな窒化層の積層が不要となる。

#### 【0012】

または、上記窒化層は、ポリシリコンもしくはアモルファスシリコンの窒化物を含む。この構成を採用することにより、従来の窒化層を形成する技術を応用して上記窒化層を形成

50

することができる。

【0013】

【発明の実施の形態】

(実施の形態1)

図1を参照して本発明に基づく実施の形態1における半導体装置の構成について説明する。図1は本実施の形態に係るpチャンネルMOSFETの断面図である。

【0014】

図1に示すpチャンネルMOSFETは、n型半導体基板1とゲート絶縁膜としての高誘電率絶縁膜2とボロンドープトゲート電極6とを備え、n型半導体基板1はソース領域20とドレイン領域21とを含む。電子の供給口となるソース領域20と電子の排出口となるドレイン領域21とは、p型の半導体であり、n型半導体基板1の主表面に間隔をおいて形成されている。ボロンドープトゲート電極6は、高誘電率絶縁膜2の上方に形成され、ポリシリコンに低抵抗化のためのボロンがドーピングされたものを採用している。

【0015】

ボロンドープトゲート電極6とn型半導体基板1との絶縁を保つために、n型半導体基板1の上面であって、ソース領域20とドレイン領域21とに挟まれる区間を完全に含むようにゲート絶縁膜が形成されている。本実施の形態においては、ゲート絶縁膜として高誘電率絶縁膜2が形成されている。高誘電率絶縁膜2は比誘電率がシリコン酸化膜の比誘電率3.9より大きい高誘電率材料を用いて形成されている。従来からゲート絶縁膜にはシリコン酸化膜が常用されているが、ゲート絶縁膜に高誘電率材料を用いることによって、同値のシリコン酸化膜換算容量膜厚( $T_{eq}$ )とした場合、シリコン酸化膜より高誘電率材料を用いた方が実際の膜厚である物理的な膜厚を厚くすることができる。高誘電率絶縁膜2には $Al_2O_3$ 、 $HfO_2$ 、 $ZrO_2$ 、 $HfSiO$ 、 $ZrSiO$ などが使用できる。それぞれの材料については比誘電率が異なる。高誘電率絶縁膜2の物理的な膜厚はそれぞれの材料の比誘電率に依存して定まるが、たとえば3~10nmである。

【0016】

高誘電率絶縁膜2の主表面には窒化層として高誘電率窒化層4が形成されている。高誘電率材料に窒化処理が施されたものであり、この窒化層を形成することによって、ボロンドープトゲート電極6中に存在するボロンが拡散して、高誘電率絶縁膜2にボロンが侵入することを抑制することができる。

【0017】

このように、ゲート絶縁膜とゲート電極に介在して窒化層が形成されることによって、ゲート電極中にドーピングされたボロンはアニールを行なう工程の際にもゲート電極中にとどまり、pチャンネルMOSFETのしきい値電圧シフトや駆動電流の低下を抑制することができる。ボロンの熱拡散を抑制する効果やゲート電極からのボロンの染出し耐性を維持したまま、ゲート絶縁膜の薄膜化による駆動能力の向上にも対応することができる。

【0018】

以下に、図3~図7を参照して、本実施の形態における半導体装置の製造方法について説明する。シリコン基板に対してRCA洗浄などの一般的な洗浄を行なった後に、n型にドーピングしたn型半導体基板1を準備する。このn型半導体基板1の主表面にMOCVD (Metal Organic Chemical Vapor Deposition)、ALCVD (Atomic Layer Chemical Vapor Deposition)、スパッタ法などの方法によって、図3に示すように高誘電率体層15を形成する。材料としては、高誘電率材料である $Al_2O_3$ 、 $HfO_2$ 、 $ZrO_2$ 、 $HfSiO$ 、 $ZrSiO$ などが用いられる。

【0019】

次に、窒素原子を含むガス、たとえば $N_2$ ガスや $NH_3$ ガス、もしくは、これらのガスをHe、Ar、Krなどの希ガスで希釈したガスをプラズマ化した雰囲気中に高誘電率体層15を形成したn型半導体基板1を配置して、図4に示すように高誘電率体層15の表面を窒化して高誘電率窒化層4を形成する。ガスのプラズマ化はマイクロ波や高周波などに

よって行ない、室温～400℃の比較的低温の条件で窒化処理を行なう。この方法によって高誘電率体層15の主表面近傍のみに高誘電率窒化層4が形成される。

#### 【0020】

窒化の工程が完了したら、図5に示すように、形成した高誘電率窒化層4の上面にポリシリコン層14あるいはアモルファスシリコン層を形成する。500～650℃の減圧CVDにより100～200nm形成する。ポリシリコン層14の形成後にイオン注入法などによってボロンのドーピングを行なう。不純物としてのボロンの注入は成膜後のイオン注入のほか、ポリシリコン層14を堆積する時にボロンを同時に添加して形成してもよい。あるいは、後に行なうソース領域とドレイン領域とを形成するためのイオン注入と同時にポリシリコン層14にボロンの注入を行なっても良い。

10

#### 【0021】

次に、異方性エッチング法により、ボロンドープトゲート電極のパターニングを行なった後に、余分なポリシリコン層14、高誘電率窒化層4および高誘電率体層15を除去する。このエッチングを行なうことによって図6に示す形状になる。このように、図5においてのポリシリコン層14はボロンがドーピングされたのちに、異方エッチングが行なわれてボロンドープトゲート電極6となる。次に、図7に示すようにイオン注入法などによって、p型のソース領域20とドレイン領域21とを形成する。前述の通り、この際にボロンドープトゲート電極となるべきポリシリコン層14にボロンを注入してボロンドープトゲート電極6を形成してもよい。いずれの場合にも、最後にボロンドープトゲート電極6、ソース領域20およびドレイン領域21におけるボロンの活性化のためにアニールを行なう。アニールとしてはN<sub>2</sub>やArの不活性ガスを用いて温度を900～1100℃まで上昇させて半導体装置を熱処理する。アニールを行なうことによって不純物であるボロンがSi結晶中の適切な格子位置に定まると同時に、高温であるために熱拡散する。この際に、ボロンドープトゲート電極6にドーピングされたボロンが熱拡散して、高誘電率絶縁膜2へ染み出すことを高誘電率窒化層4で抑制することができる。

20

#### 【0022】

この方法を採用することによって、高誘電率材料を含むゲート絶縁膜の上面に、たとえばポリシリコン層などの新たな層を積層することなく、窒化層を形成することができる。

#### 【0023】

上記以外の製造工程については、従来の技術によって行なえるのでここでは説明を省略する。

30

#### 【0024】

##### (実施の形態2)

図2を参照して本発明に基づく実施の形態2における半導体装置の構成について説明する。図2はpチャンネルMOSFETの断面図である。

#### 【0025】

ソース領域20とドレイン領域21を含むn型半導体基板1やゲート電極としてのボロンドープトゲート電極6についての構成や材質は実施の形態1と同様である。ゲート絶縁膜として高誘電率材料を含む高誘電率絶縁膜2が形成されていることも実施の形態1と同様である。異なるのはゲート絶縁膜へのボロンの拡散を抑制する窒化層である。実施の形態1においては、高誘電率絶縁膜の上面に高誘電率窒化層が形成されていた。実施の形態2においては、ポリシリコンを用いた窒化層をゲート絶縁膜の主表面に形成している。高誘電率絶縁膜2の主表面に厚みが0.5～1nm程度のポリシリコンの薄層に窒化処理が行なわれたポリシリコン窒化層5が形成されている。ポリシリコンのかわりにアモルファスシリコンを使用して、同様に窒化処理を行なった窒化層を形成してもよい。

40

#### 【0026】

実施の形態1と同様に、この構成を採用することによって、ポリシリコン窒化層によって、ゲート電極中からのボロンの染出しを抑制でき、しきい値電圧の変動や駆動電流低下を抑制することができる。ボロンの熱拡散を抑制する効果やゲート電極からのボロンの染出し耐性を維持したまま、ゲート絶縁膜の薄膜化による駆動能力の向上にも対応することが

50

できる。

【0027】

その他の構成については、実施の形態1と同様であるのでここでは説明を繰返さない。

【0028】

以下に、図8～図10を参照して、本実施の形態における半導体装置の製造方法について説明する。図8に示すように、RCA洗浄などの一般的な洗浄方法でシリコン基板を洗浄した後に、n型にドーピングしたn型半導体基板1を準備する。n型半導体基板1の主表面にMOCVD、ALCVD、スパッタ法などの方法によって、高誘電率材料からなる高誘電率体層15を形成する。高誘電率体層15の形成には $Al_2O_3$ 、 $HfO_2$ 、 $ZrO_2$ 、 $HfSiO$ 、 $ZrSiO$ などが用いられることは実施の形態1と同様である。

10

【0029】

次に、図9に示すように500～650℃の条件下において、減圧CVDによって、ポリシリコン層14あるいはアモルファスシリコン層を高誘電率体層15の主表面に形成する。厚みは例えば0.5～1nmである。

【0030】

形成したポリシリコン層14またはアモルファスシリコン層のすべてを窒化する。窒化は実施の形態1に示したプラズマ化した窒素元素を含む雰囲気中に、基板を配置して窒化する方法のほかに、NOガス、 $N_2O$ もしくは $NH_3$ ガスを用いて800～1000℃の雰囲気中で高温処理を行なう方法がある。窒化に際しては、ポリシリコン層14のすべてを窒化するほかにポリシリコン層の上面の一部を窒化してもよい。または、ポリシリコン層14の下層である高誘電率体層15の一部が同時に窒化されてもよい。このようにして図10に示すように高誘電率体層15の主表面にポリシリコン窒化層5を形成する。

20

【0031】

形成した窒化層の主表面にゲート電極を形成する方法やn型半導体基板にソース領域およびドレイン領域を形成する工程などについては実施の形態1と同様であるのでここでは説明を繰返さない。

【0032】

この方法を採用することによって、従来の窒化層形成技術の一部を応用して高誘電率体層の上面に窒化層を形成することができる。

【0033】

以上の実施の形態に示した半導体装置は、pチャンネルMOSFETの構成や製造方法を示しているが、pチャンネルMOSFETに限られず、例えば、p型とn型のMOSFETを組み合わせたCMOSFETなどに利用することも可能である。

30

【0034】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【0035】

【発明の効果】

本発明によれば、ゲート電極と高誘電率材料を含むゲート絶縁膜との間に窒化層を形成することによって、ゲート電極からのボロンの染出し耐性を維持したまま、ゲート絶縁膜の薄膜化に対応する半導体装置を提供することができる。

40

【図面の簡単な説明】

【図1】本発明に基づく実施の形態1におけるpチャンネルMOSFETの断面図である。

【図2】本発明に基づく実施の形態2におけるpチャンネルMOSFETの断面図である。

【図3】本発明に基づく実施の形態1におけるpチャンネルMOSFETに関する第1の製造工程を説明する図である。

【図4】本発明に基づく実施の形態1におけるpチャンネルMOSFETに関する第2の

50

製造工程を説明する図である。

【図 5】本発明に基づく実施の形態 1 における p チャンネル MOS FET に関する第 3 の製造工程を説明する図である。

【図 6】本発明に基づく実施の形態 1 における p チャンネル MOS FET に関する第 4 の製造工程を説明する図である。

【図 7】本発明に基づく実施の形態 1 における p チャンネル MOS FET に関する第 5 の製造工程を説明する図である。

【図 8】本発明に基づく実施の形態 2 における p チャンネル MOS FET に関する第 1 の製造工程を説明する図である。

【図 9】本発明に基づく実施の形態 2 における p チャンネル MOS FET に関する第 2 の製造工程を説明する図である。 10

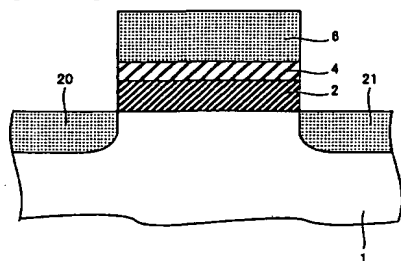
【図 10】本発明に基づく実施の形態 2 における p チャンネル MOS FET に関する第 3 の製造工程を説明する図である。

【図 11】従来の技術に基づく MOS FET の断面図である。

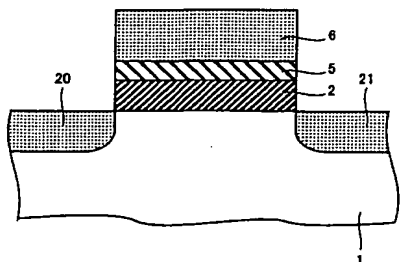
【符号の説明】

1 n 型半導体基板、2 高誘電率絶縁膜、4 高誘電率窒化層、5 ポリシリコン窒化層、6 ボロンドープトゲート電極、7 シリコン絶縁膜、8 シリコン窒化層、14 ポリシリコン層、15 高誘電率体層、20 ソース領域、21 ドレイン領域。

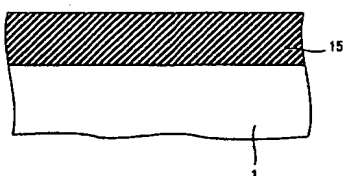
【図 1】



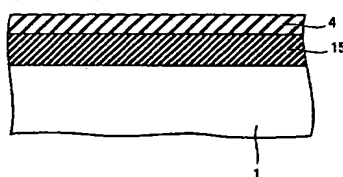
【図 2】



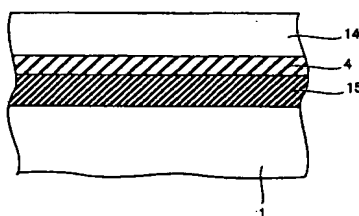
【図 3】



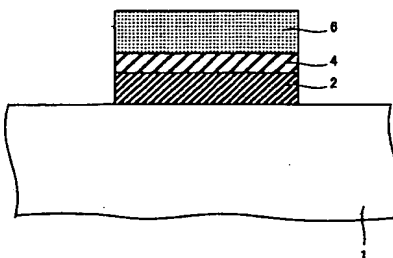
【図 4】



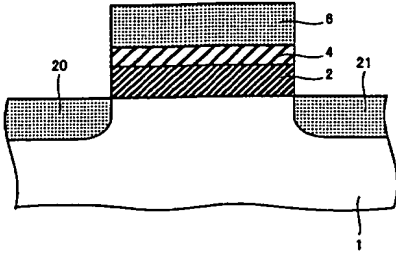
【図 5】



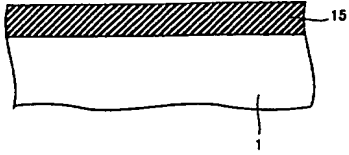
【図 6】



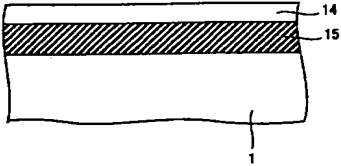
【図 7】



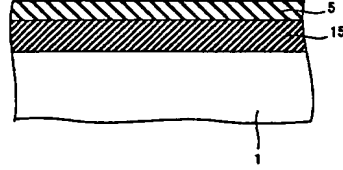
【図 8】



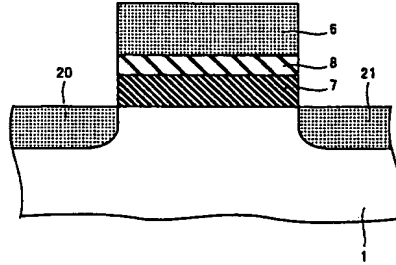
【図 9】



【図 10】



【図 11】





---

フロントページの続き

(72)発明者 井上 真雄

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 寺本 章伸

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 土本 淳一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5F140 AA28 AB03 AC01 BD01 BD04 BD07 BD11 BD13 BE02 BE08

BE09 BE10 BE13 BE17 BF01 BF04 BF34 BG32 BG38 BG43

BK13 BK21 CF07